

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74389

(43) 公開日 平成11年(1999) 3月16日

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

G 1 1 C 17/00

6 2 1 Z

29/792

H 0 1 L 27/10

4 3 4

G 1 1 C 16/04

H 0 1 L 27/115

審査請求 未請求 請求項の数 5 F D (全 11 頁)

(21) 出願番号 特願平10-185647

(71) 出願人 390009597

(22) 出願日 平成10年(1998) 6月15日

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

(31) 優先権主張番号 8 7 6 5 7 6

アメリカ合衆国イリノイ州シャンパーグ、
イースト・アルゴンクイン・ロード1303

(32) 優先日 1997年 6月16日

(72) 発明者 クオータン・チャン

(33) 優先権主張国 米国 (U S)

アメリカ合衆国テキサス州オースチン、ト
ラクトン・レーン11219

(72) 発明者 コーミン・チャン

アメリカ合衆国テキサス州オースチン、ピ
ターン・ハロウ11912

(74) 代理人 弁理士 大貫 進介 (外1名)

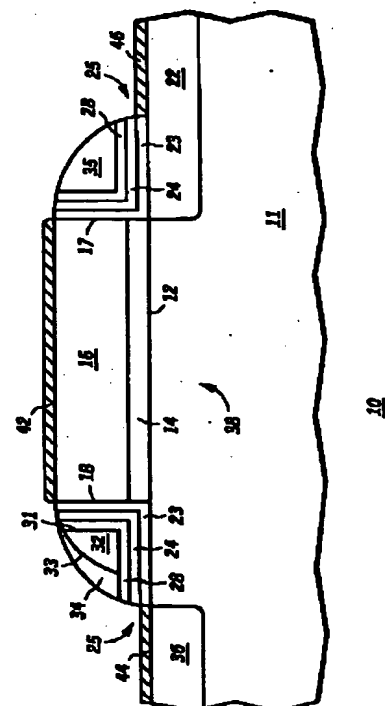
最終頁に続く

(54) 【発明の名称】 スプリット・ゲート・メモリ装置

(57) 【要約】

【課題】 電力効率に優れ低電力用途に適した不揮発性メモリ装置と、不揮発性メモリ装置にアクセスする方法とを提供する。

【解決手段】 EEPROM装置は、ソース、ドレイン、ドレインに隣接する選択ゲートおよびソースに隣接する制御ゲートを有する分割ゲートFETを備える。分割ゲートFETをプログラミングする際は、選択ゲートと制御ゲートとの間のチャネル領域部分内で電子が加速され、制御ゲートの下に存在するONO積層部の窒化物層内に注入される。分割ゲートFETは、チャネル領域から電荷窒化物層内に正孔を注入することにより消去される。分割ゲートFETからデータを読み取る際は、選択ゲートに隣接するドレインに読取り電圧を印加する。次にドレインに結合されるビット線内を流れる電流を検知することにより、分割ゲートFETからデータが読み出される。



(2)

【特許請求の範囲】

【請求項1】 スプリット・ゲート・メモリ装置であって：半導体材料の本体；前記半導体材料本体内のソース領域；前記半導体材料本体内のドレイン領域；前記ソース領域を前記ドレイン領域から分離する、前記半導体材料本体内のチャンネル領域；前記ドレイン領域に隣接する前記チャンネル領域の第1部分の上に存在する誘電層；前記ソース領域に隣接する前記チャンネル領域の第2部分の上に存在する誘電性積層部；前記誘電層の上に存在する第1導電層であって、前記ドレイン領域に隣在する第1側壁と前記第1側壁に対向する第2側壁とを有する第1導電層；および前記誘電性積層部の上に存在し、前記第1導電層の前記第2側壁に隣在する第2導電層；によって構成されることを特徴とするスプリット・ゲート・メモリ装置。

【請求項2】 スプリット・ゲート・メモリ装置であって：半導体材料の本体；前記半導体材料本体内のソース領域；前記半導体材料本体内のドレイン領域；前記ソース領域を前記ドレイン領域から分離する、前記半導体材料本体内のチャンネル領域；前記チャンネル領域の第1部分の上に存在する誘電層；前記ソース領域に隣接する前記チャンネル領域の第2部分の上に存在する酸化物-窒化物-酸化物層；前記チャンネル領域の前記第1部分の上に存在する第1導電層であって、第1側壁と前記第1側壁に対向する第2側壁とを有する第1導電層；および前記チャンネル領域の前記第2部分の上に存在する導電性側壁スペーサであって、前記酸化物-窒化物-酸化物層の第1部分が前記導電性側壁スペーサと前記第1導電層の前記第2側壁との間に存在し、前記酸化物-窒化物-酸化物層の第2部分が前記導電性側壁スペーサと前記チャンネル領域の前記第2部分との間に存在する、ところの導電性側壁スペーサ；によって構成されることを特徴とするスプリット・ゲート・メモリ装置。

【請求項3】 スプリット・ゲート・メモリ装置であって：半導体材料の本体；前記半導体材料本体内のソース領域；前記半導体材料本体内のドレイン領域；前記ソース領域を前記ドレイン領域から分離する、前記半導体材料本体内のチャンネル領域；前記チャンネル領域の第1部分の上に存在する誘電層；前記ソース領域に隣接する前記チャンネル領域の第2部分の上に存在する酸化物-窒化物-酸化物層；前記チャンネル領域の前記第1部分の上に存在する第1導電層であって、第1側壁と前記第1側壁に対向する第2側壁とを有する第1導電層；前記チャンネル領域の前記第2部分の上に存在する第1導電性側壁スペーサであって、前記酸化物-窒化物-酸化物層の第1部分が前記第1導電性側壁スペーサと前記第1導電層の前記第2側壁との間に存在し、前記酸化物-窒化物-酸化物層の第2部分が前記第1導電性側壁スペーサと前記チャンネル領域の前記第2部分との間に存在する、ところの第1導電性側壁スペーサ；および前記第1導電層の前記

2

第1側壁に隣在する第2導電性側壁スペーサ；によって構成されることを特徴とするスプリット・ゲート・メモリ装置。

【請求項4】 スプリット・ゲート・メモリ装置であって：半導体基板上で複数の列と複数の行とに配列されるメモリ・セルのアレイであって、前記アレイ内の各メモリ・セルは前記半導体基板内のソース領域、チャンネル領域およびドレイン領域であって、前記チャンネル領域が前記ソース領域を前記ドレイン領域から隔てる、ところのソース領域、チャンネル領域およびドレイン領域と、
10 前記チャンネル領域の第1部分の上に存在する第1誘電層と、
前記ソース領域に隣在する前記チャンネル領域の第2部分の上に存在する第2誘電層と、
前記第2誘電層の上に存在する制御ゲートと、
前記第1誘電層の上に存在する選択ゲートとを備えるメモリ・セルのアレイ；前記アレイ内の前記複数の列のうち第1列において各メモリ・セルの前記ドレイン領域に結合される第1ビット線；前記アレイ内の前記複数の列のうち第2列において各メモリ・セルの前記ドレイン領域に結合される第2ビット線；前記アレイ内の前記複数の行のうち第1行において各メモリ・セルの前記選択ゲートに結合される第1選択線；前記アレイ内の前記複数の行のうち第2行において各メモリ・セルの前記選択ゲートに結合される第2選択線；前記第1行内の各メモリ・セルの前記制御ゲートに結合される第1制御線；前記第2行内の各メモリ・セルの前記制御ゲートに結合される第2制御線；および前記第1行および前記第2行内の各メモリ・セルの前記ソース領域に結合されるソース
20 線；によって構成されることを特徴とするスプリット・ゲート・メモリ装置。

【請求項5】 スプリット・ゲート・メモリ装置であって：半導体基板上で複数の列と複数の行とに配列されるメモリ・セルのアレイであって、前記アレイ内の各メモリ・セルは、
前記半導体基板内のソース領域、チャンネル領域およびドレイン領域であって、前記チャンネル領域が前記ソース領域を前記ドレイン領域から隔てる、ところのソース領域、チャンネル領域およびドレイン領域と、
40 前記ドレイン領域に隣接する前記チャンネル領域の第1部分の上に存在する第1誘電層と、
前記ソース領域に隣接する前記チャンネル領域の第2部分の上に存在する酸化物-窒化物-酸化物誘電層と、
前記酸化物-窒化物-酸化物誘電層の上に存在する制御ゲートと、
前記第1誘電層の上に存在する選択ゲートとを備えるメモリ・セルのアレイ；前記アレイ内の前記複数の列のうち第1列において各メモリ・セルの前記ドレイン領域に結合される第1ビット線；前記アレイ内の前記複数の列のうち第2列において各メモリ・セルの前記ドレイン領域

(3)

3

域に結合される第2ビット線；前記アレイ内の前記複数の行のうち第1行において各メモリ・セルの前記選択ゲートに結合される第1選択線；前記アレイ内の前記複数の行のうち第2行において各メモリ・セルの前記選択ゲートに結合される第2選択線；前記第1行内の各メモリ・セルの前記制御ゲートに結合される第1制御線；前記第2行内の各メモリ・セルの前記制御ゲートに結合される第2制御線；および前記第1行および前記第2行内の各メモリ・セルの前記ソース領域に結合されるソース線；によって構成されることを特徴とするスプリット・ゲート・メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般にメモリ装置に関し、さらに詳しくは、不揮発性メモリ装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】電気的に消去可能書込可能な読取専用メモリ（EEPROM: Electrically Erasable Programmable Read Only Memory）は、メモリへの電力が排除されても格納されたデータを保持することができる。EEPROMセルは、電界効果トランジスタ（FET: field effect transistor）の電気的に分離された浮動ゲート内に電荷を蓄積するか、あるいはFETの制御ゲートの下にある誘電層内に電荷を蓄積することによりデータを格納する。格納された電荷がFETの閾値を制御し、それによりEEPROMセルのメモリ状態を制御する。

【0003】従来は、EEPROMセルは、ドレイン側ホット・キャリア注入を用いて、浮動ゲート上に、あるいは制御ゲートの下にある誘電層内の電荷トラップ・サイト内に電荷キャリアを注入する。高いドレインおよびゲート電圧を用いて、プログラミング・プロセスを高速化する。このため、EEPROMセル内のFETは、プログラミング中に高い電流を伝えるが、これは低電圧低電力の用途においては望ましくない。さらに、EEPROMセルはプログラミング中は、降伏状態に極めて近い状態で動作する。

【0004】プログラミング中の降伏条件は、ソース側キャリア注入を用いると回避することができる。ソース側ホット・キャリア注入を用いてEEPROMをプログラミングするには、ソース領域に隣接するチャネル領域の一部分の上に選択ゲートを形成する。この選択ゲートは、ドレイン領域に隣接して形成される制御ゲートから電気的に分離される。プログラミング中は、チャネル領域内に電界が設定され、それによりソース領域に源を発する電荷キャリアはチャネル領域を亘って加速されてから、浮動ゲート内に、あるいは制御ゲートの下に位置する誘電層内に注入される。選択ゲートは、チャネル電流を制御する。かくして、ソース側ホット・キャリア注入によるプログラミングは、従来のドレイン側ホット・キャリア注入と比べて、電力効率に優れ、低電圧低電力用途によ

4

り適している。

【0005】従って、電力効率に優れ低電力用途に適した不揮発性メモリ装置と、不揮発性メモリ装置にアクセスする方法とを有することが有利である。また、この不揮発性メモリ装置は製造が簡単で安価であることが望ましく、シリコン面積効率が良いことが望ましい。さらに、このアクセス方法は信頼性があり時間効率に優れることが望ましい。

【0006】

10 【実施例】一般に、本発明は不揮発性メモリ（NVM: non volatile memory）装置と、NVM置にアクセスする方法とを提供する。本発明により、NVM装置は、ソース付近のチャネル領域の第1部分の上に存在する制御ゲートと、ドレイン付近のチャネル領域の第2部分の上に存在する選択ゲートとを有するスプリット・ゲート電界効果トランジスタ（FET）を備える。NVM装置をプログラミングする際は、たとえば電子などの第1極性の電荷キャリアが選択ゲート下のチャネル領域の第2部分内で加速され、制御ゲートの下に存在する誘電層内に注入される。本発明の好適な実施例においては、制御ゲートの下に存在する誘電層は、チャネル領域の第1部分上にある底部誘電層（たとえば底部二酸化シリコン層）と、制御ゲートの下にある上部誘電層（たとえば上部二酸化シリコン層）と、それらの間にある窒化シリコン層とによって構成される。窒化シリコン層は、その中に形成される電荷トラップ・サイト（charge trapping site）を含む。NVM装置は、たとえば正孔などの第2極性の電荷キャリアをチャネル領域から窒化シリコン層内に注入することにより消去される。NVM装置からデータを読み取る場合は、読取り電圧は選択ゲートに隣接するドレイン印加される。次に、FETのドレインに結合されるビット線

20

30

を流れる電流を検知することにより、データがNVM装置から読み取られる。

【0007】図1は、本発明によるNVMセル10などのスプリット・ゲート・メモリ装置の断面図である。NVMセル10は、主表面12を有する半導体基板11などの半導体材料の本体上に形成される。例として、半導体基板11は、p導電型のシリコン基板である。以下に説明されるように、NVMセル10は電気的に書込（プログラミング）および消去が可能である。従って、NVMセル10は、電気的に消去書込可能な読取専用メモリ（EEPROM: Electrically Erasable Programmable Read Only Memory）セルとも呼ばれる。

40

【0008】選択ゲート構造15は、基板11の上に存在する誘電層14と誘電層14の上の選択ゲート16とを備える。選択ゲート16は、互いに対向する側壁17、18を有する。例として、誘電層14は、約3ナノメートル（nm）ないし約30nmの厚みを有する熱成長二酸化シリコン層であり、選択ゲート16は、誘電層14上に導電層をデポジションおよびパターニングすることに

50

(4)

5

より形成される。好ましくは、導電層はたとえば、約150nmないし約300nmの厚みを有する多結晶シリコン層であり、化学蒸着プロセスを用いて誘電層14上にデポジションされる。さらに、選択ゲート16は、化学蒸着プロセスまたはその後のドーピング段階の間に、n導電型のイオンたとえばリンまたはヒ素イオンでドーピングされることが好ましい。

【0009】ドレイン領域22が選択ゲート16の側壁17と整合される。例として、たとえばリンまたはヒ素イオンなどのn導電型のイオンを基板11内に注入する自己整合イオン注入プロセスを用いて、ドレイン領域22を形成する。好ましくは、イオン注入プロセスは、基板11の主表面12上にあるパッド誘電層を貫通して実行される。パッド誘電層は、誘電層14、犠牲酸化物層（図示せず）などでもよい。

【0010】たとえば二酸化シリコン層23などの誘電層が、選択ゲート16の側壁17、18に隣接する主表面12の部分の上に形成される。好ましくは、二酸化シリコン層23は、たとえば約5nmないし約15nmの厚みを有し、熱酸化プロセスまたはデポジションプロセスを用いて形成される。熱酸化プロセスは、側壁17、18に沿って選択ゲート16をも酸化するので、二酸化シリコン層23は側壁17、18に沿っても形成される。ある実施例においては、選択ゲート16により保護されない誘電層14の部分がエッチング除去され、その後で主表面12上に二酸化シリコン層23が形成される。他の実施例においては、二酸化シリコン層23は、選択ゲート16により保護されない誘電層14の部分上に形成される。たとえば、約5nmないし約15nmの厚みを有する窒化シリコン層24が二酸化シリコン層23の上に形成され、好ましくは化学蒸着プロセスを用いて形成される。たとえば、約5nmないし約15nmの厚みを有する二酸化シリコン層28などの別の誘電層が窒化シリコン層24の上に形成される。二酸化シリコン層28は、デポジションプロセスまたは熱酸化プロセスを用いて形成することができる。

【0011】二酸化シリコン層23、窒化シリコン層24および二酸化シリコン層28は、酸化物-窒化物-酸化物（ONO: oxide-nitride-oxide）積層部25を形成する。これは誘電性積層部とも呼ばれる。ONO積層部25において、二酸化シリコン層23は底部誘電層と呼ばれ、二酸化シリコン層28は上部誘電層と呼ばれる。NVMセル10をプログラミングする際は、電荷キャリア（たとえば電子）がONO積層部25内に注入され、窒化シリコン層24内に形成される電荷トラップ・サイト内で捕捉される。NVMセル10が良好なデータ保持率を有するためには、底部誘電層23と上部誘電層28が厚いことが好ましい。さらに、誘電層23、28内の欠陥を最小限に抑えることが好ましい。窒化シリコン層24の化学組成は Si_3N_4 に限らないことを理解頂きたい。たと

6

えば、窒化シリコン層24は、 Si_xN_y で表される化学組成を有するシリコンに富んだ窒化物層とすることができ。ただしx対yの比は3対4より大きい。

【0012】制御ゲート32がONO積層部25の上に存在する。制御ゲート32は、選択ゲート16に隣接する側壁31と、側壁31に対向する側壁33とを有する。例として、制御ゲート32はONO積層部25上に導電層をデポジションおよびパターンニングすることにより形成される。好ましくは、導電層は約200nmないし約300nmの厚みを有する多結晶シリコン層であり、化学蒸着プロセスを用いてONO積層部25上にデポジションされる。言い換えると、制御ゲート32は、選択ゲート16に隣接する多結晶シリコン側壁スペーサとして形成されることが好ましい。さらに、制御ゲート32は、たとえばリンまたはヒ素イオンなどのn導電型イオンで、化学蒸着プロセスの間、またはその後のドーピング段階の間に、ドーピングされることが好ましい。制御ゲート32を形成するプロセスは、選択ゲート16の側壁17に沿って多結晶シリコン側壁スペーサ（図示せず）をも形成する。しかし、選択ゲート16の側壁17に沿った多結晶シリコン側壁スペーサは、NVMセル10の動作には関係しない。ある実施例においては、これはその後のエッチング段階中に除去され、図1に図示されるNVMセル10となる。別の実施例（図示せず）においては、このスペーサがNVMセル10へのアクセス動作中に、接地電圧レベルなどの基準電圧レベルに結合される。

【0013】制御ゲート32の側壁33と選択ゲート16の側壁17とにそれぞれ沿って、たとえば窒化物スペーサ34、35などの誘電性スペーサが形成される。好ましくは、窒化物スペーサ34は制御ゲート32を覆う。ソース領域36は窒化物スペーサ34と整合される。例として、たとえばリンまたはヒ素イオンなどのn導電型のイオンを注入する自己整合イオン注入プロセスを用いて、ソース領域36を形成する。ソース領域36およびドレイン領域22は、それらの間にチャネル領域38を規定する。言い換えると、チャネル領域38が、ドレイン領域22からソース領域36を隔てる。チャネル領域38の第1部分は、ONO積層部25および制御ゲート32の下にあり、チャネル領域38の第2部分は選択ゲート構造15の下にある。窒化物スペーサ34、35はNVMセル10においては任意であることを理解頂きたい。NVMセル10が窒化物スペーサ34、35を含まない代替の実施例においては、ソース領域36は制御ゲート32の側壁33と整合される。

【0014】ONO積層部25を主表面12上に形成するプロセスにより、選択ゲート16の上にもONO積層部が形成される（図示せず）。選択ゲート16上部にあるONO積層部と、主表面12上にあり窒化物スペーサ34、35により保護されないONO層部25の部分（図示せず）とが、エッチング・プロセスにおいて除去される。

7

シリコン化合物構造42が選択ゲート16の上に存在し、NVMセル10の選択ゲート電極として機能する。同様に、シリコン化合物構造44がソース領域36の上に存在し、NVMセル10のソース電極として機能する。さらに、シリコン化合物構造46がドレイン領域22の上に存在し、NVMセル10のドレイン電極として機能する。シリコン化合物構造42、44、46は、窒化物スペーサ34、35と整合される。このため、これらは自己整合シリコン化合物（サリサイド）構造とも呼ばれる。シリコン化合物構造42、44、46は、NVMセル10内の寄生抵抗を軽減するので、NVMセル10の性能を改善する。しかし、シリコン化合物構造42、44、46はNVMセル10においては任意の構成部分であることに留意されたい。

【0015】シリコン化合物構造42、44、46の形成後に、基板11上に絶縁層（図示せず）が形成され、平坦化される。絶縁層内には金属被覆領域（図示せず）が形成され、制御ゲート32、選択ゲート電極42、ソース電極44およびドレイン電極46に電気的に結合される。

【0016】図1は、制御ゲート32が選択ゲート16に隣在する側壁スペーサとして形成されることを示すが、これは本発明を制限するものではない。本発明の代替の実施例においては、多結晶シリコン選択ゲートが、多結晶シリコン制御ゲートに沿った側壁スペーサとして形成される。本実施例においては、第1多結晶シリコン層がONO積層部25上にパターンニングされ、制御ゲートを規定する。制御ゲートが上に存在しないONO積層部25の部分はエッチング除去される。主表面12上に誘電層14が配置される。イオン注入を実行して、制御ゲートと整合されるソース領域36が形成される。第2多結晶シリコン層が誘電層14上にデポジションされ、制御ゲートの側壁スペーサとして選択ゲートを形成するようにパターンニングされる。イオン注入がもう一度実行されて、選択ゲートと整合されるドレイン領域22を形成する。

【0017】前述されるように、NVMセル10は、p導電型基板11内に作成されるnチャネル・スプリット・ゲートFETである。しかし、これは本発明を制約するものではない。代替の実施例においては、NVMセル10は、n導電型半導体基板内に作成されるpチャネル・スプリット・ゲートFETである。別の実施例においては、NVMセル10は、n導電型半導体基板内に形成されるp導電型のウェル内に作成されるnチャネル・スプリット・ゲートFETである。さらに別の実施例においては、NVMセル10は、p導電型半導体基板内に形成されるn導電型のウェル内に作成されるpチャネル・スプリット・ゲートFETである。

【0018】図1のNVMセル10へのアクセスは、3つの部分を含む：すなわち、NVMセル10をプログラミン

(5)

8

グすること、NVMセル10を消去することおよびNVMセル10からデータを読み取ることである。これらは、NVMセル10の選択ゲート16、制御ゲート32、ソース領域36およびドレイン領域22を所定の電圧にバイアスすることにより実現される。

【0019】NVMセル10を電気的にプログラミングするには、たとえば接地電圧などのプログラミング・ドレイン電圧をドレイン領域22に印加する。少なくとも、選択ゲート構造15下のチャネル領域38部分の閾値電圧分だけ、プログラミング・ドレイン電圧よりも高いプログラミング選択ゲート電圧が、選択ゲート16に印加される。プログラミング・ドレイン電圧よりも高いプログラミング・ソース電圧がソース領域36に印加される。さらに、プログラミング・ソース電圧よりも高いプログラミング制御ゲート電圧が制御ゲート32に印加される。例として、プログラミング選択ゲート電圧は、約1ボルトないし約2ボルト、プログラミング・ソース電圧は約3ボルトないし約5ボルトで、プログラミング制御ゲート電圧は、約8ボルトないし約10ボルトである。

【0020】ソース領域36は、ドレイン領域22よりも高い電圧レベルにあるので、nチャネル・スプリット・ゲートFET10は、反転転動モードで動作する。言い換えると、プログラミング中は、ソース領域36がFET10のドレインとして機能し、ドレイン領域22がFET10のソースとして機能する。さらに、選択ゲート16は、選択ゲート構造15の下側のチャネル領域38部分の少なくとも閾値電圧分だけ、ドレイン領域22の電圧レベルよりも高い電圧レベルにある。このため、選択ゲート構造15の下側のチャネル領域38の部分がオンになり導電性を持つ。負の電荷キャリア、たとえば電子がドレイン領域22から発生し、選択ゲート構造15と制御ゲート32との間のチャネル領域38部分を通じて加速される。電荷キャリアがソース領域36に隣接し、なおかつ制御ゲート32の下にあるチャネル領域38部分に到達すると、制御ゲート32における高電圧により引きつけられる。ホット・キャリア注入プロセスにおいて、電荷キャリアが酸化層23を介して注入され、制御ゲート32の側壁31に隣在する窒化シリコン層24の部分内に捕捉される。負の電荷キャリア、たとえば電子がチャネル領域38から窒化シリコン層24内に移動するにつれ、制御ゲート32下のチャネル領域38部分の閾値電圧が上がる。このため、チャネル領域38を通る電流が下がり、ホット・キャリア注入の速度も下がる。NVMセル10からプログラミング電圧が排除された後、注入されたキャリアは窒化シリコン層24内に捕捉された状態のままになる。第1論理値、たとえば論理1がNVMセル10に格納される。すなわち、NVMセル10がプログラミングされる。

【0021】プログラミング・プロセスの間、チャネル

(6)

9

領域38を流れる電流は、選択ゲート16に印加されるプログラミング選択ゲート電圧レベルにより制限される。好ましくは、プログラミング選択ゲート電圧は、選択ゲート16の下チャンネル領域38部分の閾値電圧より多少高く、それによりチャンネル領域38内を流れる電流を最小限に抑える。かくして、NVMセル10をプログラミングするプロセスは電力効率に優れ、低電圧低電力用途に適する。

【0022】NVMセル10を電氣的に消去するには、消去ソース電圧をソース領域36に印加し、消去ソース電圧よりも低い消去制御ゲート電圧を制御ゲート32に印加する。例として、消去ソース電圧は、約5ボルトないし約7ボルトで、消去制御ゲート電圧は約-1.1ボルトないし約-9ボルトである。選択ゲート16およびドレイン領域22は、消去プロセスには関与せず、基準電圧レベル、たとえば接地電圧レベルに結合されるか、あるいは浮動状態とすることができ、NVMセル10を消去する代替の実施例においては、消去選択ゲート電圧を選択ゲート16に印加し、消去ドレイン電圧をドレイン領域22に印加する。このとき消去選択ゲート電圧は消去ドレイン電圧よりも低い。例として、消去選択ゲート電圧は約-3ボルトないし約-0.5ボルトで、消去ドレイン電圧は接地電圧である。選択ゲート16は、ドレイン領域22よりも低い電圧レベルにあるので、選択ゲート16の下チャンネル領域38部分は確実に非導電性を持つ。NVMセル10を消去する別の代替実施例においては、約2ボルトないし約5ボルトの電圧がドレイン領域22に印加され、ドレイン領域22からチャンネル領域38に電荷キャリアの注入が誤って起こらないようにする。

【0023】ソース領域36と制御ゲート32との間の、たとえば約1.4ボルトないし約1.9ボルトの高電圧差のために、制御ゲート32下のチャンネル領域38部分内には強力な電界が設定される。帯域間トンネル・プロセスにより、強電界は、ソース領域36に隣接するチャンネル領域38部分内で電子-正孔対を発生する。正の電荷キャリアである正孔は、制御ゲート32において負の電圧により引きつけられる。ホット・キャリア注入プロセスにおいて、正孔は酸化物層23を介して、ONO積層部25の窒化シリコン層24まで注入され、そこで窒化シリコン層24内の電子と結合する。好ましくは、消去プロセスは、窒化シリコン層24が実質的に電氣的中性あるいは正に充電されるまで続く。消去電圧がNVMセル10から除去されると、窒化シリコン層24は実質的に中性あるいは正に充電された状態のままになる。いずれの場合も、第2論理値、たとえば論理0がNVMセル10内に格納される。すなわち、NVMセル10が消去される。

【0024】消去プロセスの間は、窒化シリコン層24の電荷トラップ・サイト内に格納される電荷は、チャネ

10

ル領域38から注入される反対極性の電荷により中性化される。電荷トラップ・サイト内の電荷がFowler-Nordheimトンネル・プロセスにおいて電荷トラップ・サイトと制御ゲートの間で誘電層を通じて制御ゲートに移動する消去プロセスと比較すると、本発明の消去プロセスでは、ONO積層部25内に厚い上部誘電層28が可能になり、それによりNVMセル10のデータ保持が改善される。

【0025】NVMセル10からデータを読み取るには、たとえば接地電圧などの読取ソース電圧をソース領域36に印加する。読取ソース電圧と実質的に等しいかあるいはそれよりも高い読取制御ゲート電圧を制御ゲート32に印加する。少なくとも、選択ゲート構造15の下チャンネル領域38部分の閾値電圧分だけ読取ソース電圧よりも高い読取選択ゲート電圧が選択ゲート16に印加される。かくして、選択ゲート構造15下のチャンネル領域38部分がオンになり導電性を持つ。読取ソース電圧よりも高い読取ドレイン電圧がドレイン領域22に印加される。例として、読取制御ゲート電圧は、約1ボルトないし約2ボルト、読取ドレイン電圧は約1ボルトないし約2ボルトであり、選択ゲート16は電源電圧 V_{DD} に結合される。例として、電源電圧 V_{DD} は約3ボルトないし約5ボルトである。低電力用途においては、電源電圧 V_{DD} は、たとえば、約0.9ボルトないし約1.8ボルトである。

【0026】NVMセル10がプログラミングされると、制御ゲート32下の窒化シリコン層24が負に充電される。制御ゲート32下のチャンネル領域38部分は、制御ゲート32下の窒化シリコン層24が実質的に電氣的中性のときの固有閾値電圧より高い閾値電圧を有する。NVMセル10が消去されると、制御ゲート32下の窒化シリコン層24は実質的に電氣的中性になるか、あるいは正に充電される。制御ゲート32下のチャンネル領域38部分は、その固有閾値電圧と実質的に等しいか、それよりも低い閾値電圧を有する。読取制御ゲート電圧は、NVMセル10がプログラミングされる場合、制御ゲート32下のチャンネル領域38部分の閾値電圧より低いことが好ましい。また、読取制御ゲート電圧は、NVMセル10が消去される場合、制御ゲート32下のチャンネル領域38部分の閾値電圧より高いことが好ましい。従って、プログラミングされたNVMセル10からデータを読み取る場合は、チャンネル領域38は非導電性となり、そこを流れる電流は、たとえば約2マイクロアンペア(μA)以下と小さい。ビット線(図1には図示せず)を介してドレイン領域22に結合される検知増幅器(図示せず)は、この小さい電流を検知して、NVMセル10から、第1論理値、たとえば論理1を読み取る。一方、消去されたNVMセル10からデータを読み取る場合は、チャンネル領域38は導電性を持ち、そこを流れる電流は、たとえば約10 μA 以上と大きくなる。ドレイン領域22に結

(7)

11

合される検知増幅器（図示せず）は、この大きな電流を検知し、第2論理値、たとえば論理0をNVMセル10から読み取る。

【0027】読取るプロセスの間、ソース領域36はドレイン領域22より低い電圧レベルにある。制御ゲート32下のチャネル領域38部分に亘る電圧降下は小さい。このため電荷キャリアがチャネル領域38から窒化シリコン層24内に誤って注入される確率は小さい。言い換えると、NVMセル10に蓄積されるデータに対する、読取プロセス中の妨害が小さい。本発明により、検知増幅器（図示せず）はビット線（図1には図示せず）を介してドレイン領域22に結合され、ドレイン領域22は選択ゲート構造15により窒化シリコン層24から隔てられる。従って、寄生ビット線キャパシタの容量は、窒化シリコン層24内の電荷とは実質的に無関係である。言い換えると、寄生ビット線容量のデータ依存性はNVMセル10においては小さい。NVMセル10などの、ビット線容量のデータ依存性が小さいNVMルが、高性能用途には適する。

【0028】図2は、本発明によるスプリット・ゲートNVM装置50の配線略図である。NVM装置50は、半導体基板（図2には図示せず）内に作成され、行および列に配列されたスプリット・ゲートFETのアレイを備える。スプリット・ゲートFETは、NVM装置50においてメモリ・セルとして機能する。アレイ内の各スプリット・ゲートFETは、ソース領域と、ドレイン領域と、ソース領域をチャネル領域から分離するチャネル領域とを備える。選択ゲート構造が、ドレイン領域に隣接するチャネル領域部分の上に存在する。誘電性積層部がソース領域に隣接するチャネル領域の別の部分の上に存在する。誘電性積層部上に制御ゲートが配置され、選択ゲートから電気的に絶縁される。アレイ内のスプリット・ゲートFETは、1ビットのデータを格納する。従って、アレイ内のスプリット・ゲートFETは、NVM装置50においてビット・セルとも呼ばれる。好ましくは、NVM装置50内のスプリット・ゲートFETは、図1に図示されるスプリット・ゲートNVMセル10と構造的に等しい。図2は、4行4列に配列された16個のビット・セルを示す。しかし、これは本発明を制約するものではない。本発明により、NVM装置50は、任意の数の行と任意の数の列とに配列されるビット・セルのアレイを備える。

【0029】NVM装置50は、ソース線52、54と、選択線61、62、63、64と、制御線71、72、73、74と、ビット線81、82、83、84とを介してアクセスされる。NVM装置50内のビット・セルは、アレイ内のその位置、たとえば行番号および列番号によりアドレス指定される。第1行において、ビット・セル110、120、130、140は、それぞれ第1、第2、第3および第4列に位置する。第2行において、ビット・セル210、220、230、240は、

12

それぞれ第1、第2、第3および第4列に位置する。第3行において、ビット・セル310、320、330、340は、それぞれ第1、第2、第3および第4列に位置する。第4行において、ビット・セル410、420、430、440は、それぞれ第1、第2、第3および第4列に位置する。

【0030】ソース線52は、第1行のビット・セル110、120、130、140のソース112、122、132、142にそれぞれ接続される。ソース線52は、第2行のビット・セル210、220、230、240のソース212、222、232、242にもそれぞれ接続される。ソース線54は、第3行のビット・セル310、320、330、340のソース312、322、332、342にそれぞれ接続される。ソース線54は、第4行のビット・セル410、420、430、440のソース412、422、432、442にもそれぞれ接続される。本発明により、そのソースを同じソース線に結合するビット・セルは一括して消去されるので、消去ブロックを形成する。このため、NVM装置50は、第1および第2行内のビット・セルで構成されるものと、第3および第4行内のビット・セルで構成されるものの2つの消去ブロックを備える。

【0031】選択線61は、第1行のビット・セル110、120、130、140の選択ゲート115、125、135、145にそれぞれ接続される。選択線62は、第2行のビット・セル210、220、230、240の選択ゲート215、225、235、245にそれぞれ接続される。選択線63は、第3行のビット・セル310、320、330、340の選択ゲート315、325、335、345にそれぞれ接続される。選択線64は、第4行のビット・セル410、420、430、440の選択ゲート415、425、435、445にそれぞれ接続される。

【0032】制御線71は、第1行のビット・セル110、120、130、140の制御ゲート116、126、136、146にそれぞれ接続される。制御線72は、第2行のビット・セル210、220、230、240の制御ゲート216、226、236、246にそれぞれ接続される。制御線73は、第3行のビット・セル310、320、330、340の制御ゲート316、326、336、346にそれぞれ接続される。制御線74は、第4行のビット・セル410、420、430、440の制御ゲート416、426、436、446にそれぞれ接続される。

【0033】ビット線81は、第1列のビット・セル110、210、310、410のドレイン114、214、314、414にそれぞれ接続される。ビット線82は、第2列のビット・セル120、220、320、420のドレイン124、224、324、424にそれぞれ接続される。ビット線83は、第3列のビット・

(8)

13

セル130, 230, 330, 430のドレイン134, 234, 334, 434にそれぞれ接続される。ビット線84は、第4列のビット・セル140, 240, 340, 440のドレイン144, 244, 344, 444にそれぞれ接続される。

【0034】NVM装置50内のビット・セルは、前記に説明されたように結合されとは限らないことを理解頂きたい。たとえば、ソース線52およびソース線54を互いに結合することができる。言い換えると、アレイ内の第1, 第2, 第3および第4行のビット・セルのソースをすべて同じソース線に結合することができる。かくして、NVM装置50は、第1, 第2, 第3および第4行のビット・セルによって構成される消去ブロックを有する。さらに制御線71, 72を互いに結合し、制御線73, 74を互いに結合することもできる。かくして、第1および第2行内のビット・セルは1つの制御線を共有し、第3および第4行内のビット・セルは1つの制御線を共有する。

【0035】NVM装置50内の各ビット・セルを個別に電気的にプログラミングすることができる。各ビット・セル内に格納されるデータも、ビット線81, 82, 83または84内を流れる電流を検知することにより個別に読み取ることができる。さらに、消去ブロック内のビット・セルは共通のソース線を共有し、一括して電気的に消去することができる。従って、NVM装置50はフラッシュEEPROM装置とも呼ばれる。

【0036】NVM装置50内のビット・セル、たとえばビット・セル110, 120を電気的にプログラミングするには、たとえば約3ボルトないし約5ボルトのソース・プログラミング電圧をソース線52に印加する。たとえば約1ボルトないし約2ボルトの第1選択プログラミング電圧を選択線61に印加する。第2, 第3および第4行のビット・セルは、ビット・セル110, 120をプログラミングするプロセスに関与しないので、たとえば接地電圧などの第2選択プログラミング電圧を選択線62, 63, 64に印加することによりオフになる。たとえば約8ボルトないし約10ボルトの制御プログラミング電圧を制御線71に印加する。好ましくは、制御プログラミング電圧は、ソース・プログラミング電圧より高く、第1選択プログラミング電圧より高く設定される。第1ビット・プログラミング電圧、たとえば電源電圧 V_{DD} をビット線83, 84に印加する。ビット線83, 84に印加される第1ビット・プログラミング電圧と、選択線61に印加される第1選択プログラミング電圧との差は、ビット・セル130, 140の選択ゲート135, 145の各々の下のチャネル領域部分の閾値電圧よりも低いことが好ましい。たとえば接地電圧などの第2ビット・プログラミング電圧がビット線81, 82に印加される。従って、ビット・セル110, 120がオンとなり、反転能動モードで動作する。言い換える

14

と、プログラミング・プロセスの間は、ソース112, 122はビット・セル110, 120のドレインとしてそれぞれ機能し、ドレイン114, 124はビット・セル110, 120のソースとしてそれぞれ機能する。負の電荷キャリア、たとえば電子がビット・セル110, 120のドレイン114, 124からそれぞれ発生し、ビット・セル110の選択ゲート115と制御ゲート116との間のチャネル領域およびビット・セル120の選択ゲート125と制御ゲート126との間のチャネル領域を通じて加速される。電荷キャリアがビット・セル110, 120の制御ゲート116, 126下のチャネル領域部分にそれぞれ到達すると、制御ゲート116, 126において高電圧により引きつけられる。ホット・キャリア注入プロセスにおいては、電荷キャリアは制御ゲート116, 126下の誘電性積層部内の電荷トラップ・サイト内に注入される。電子などの負の電荷キャリアが制御ゲート116, 126下の電荷トラップ・サイト内に注入されると、制御ゲート116, 126下のチャネル領域部分の閾値電圧が上がる。かくして、ビット・セル110, 120を流れる電流が下がり、ホット・キャリア注入の速度も下がる。NVM装置50からプログラミング電圧が除去された後、注入されたキャリアは制御ゲート116, 126下の電荷トラップ・サイト内に残る。第1論理値、たとえば論理1がビット・セル110, 120内に格納される。すなわちビット・セル110, 120がプログラミングされる。

【0037】NVM装置50のビット・セル、たとえば第1および第2行内のビット・セルを電気的に消去するには、ソース消去電圧をソース線52に印加し、制御消去電圧を制御線71, 72に印加する。例として、約5ボルトないし約7ボルトの正の電圧をソース消去電圧として選択し、約-11ボルトないし約-9ボルトの負の電圧を制御消去電圧として選択する。ソース線54, 選択線63, 64および制御線73, 74は、接地電圧レベルに結合される。ある実施例においては、選択線61, 62およびビット線81, 82, 83, 84は接地電圧レベルに結合される。代替の実施例においては、選択線61, 62およびビット線81, 82, 83, 84は浮遊する。別の代替実施例においては、たとえば約-3ボルトないし約-0.5ボルトなどの選択消去電圧が選択線61, 62に印加され、たとえば接地電圧などのビット消去電圧がビット線81, 82, 83, 84に印加される。第1行および第2行のビット・セルの選択ゲートはそれぞれのドレインより低い電圧レベルにあるので、第1行および第2行のビット・セルのチャネル領域は確実にオフになる。さらに別の代替実施例においては、たとえば約2ボルトないし約5ボルトの電圧などのビット消去電圧がビット線81, 82, 83, 84に印加され、ドレインから第1行および第2行のビット・セルのチャネル領域に誤って電荷キャリアが注入されることを

(9)

15

回避する。

【0038】第1および第2行のビット・セルのソースと制御ゲートとの間の、たとえば約1.4ボルトないし約1.8ボルトの高電圧差のために、第1および第2行のビット・セルのソース付近の制御ゲート下には、強力な電界が設定される。帯域間トンネリングにより、強電界は、制御ゲート下のチャネル領域部分内に電子-正孔対を発生する。正の電荷キャリアである正孔は、制御ゲートにおいて負の電圧により引きつけられる。ホット・キャリア注入プロセスにおいて、正孔は各制御ゲート下の誘電性積層部内の電荷トラップ・サイト内に注入される。注入された正孔は第1および第2行のビット・セルの電荷トラップ・サイト内で電子と結合する。好ましくは、消去プロセスは、第1および第2行のビット・セルの電荷トラップ・サイトが実質的に電気的中性になるまで続く。電荷トラップ・サイトは、過消去プロセスにおいては正に充電されることもある。消去電圧がNVM装置50から除去されると、第1および第2行のビット・セルの電荷トラップ・サイトは実質的に中性あるいは正に充電された状態のままになる。いずれの場合も、第2論理値、たとえば論理0がビット・セル110、120、130、140、210、220、230、240内に格納される。すなわち、NVM装置50の第1および第2行のビット・セルが消去される。

【0039】NVM装置50のビット・セル、たとえばビット・セル430、440からデータを読み取るには、第1選択読取電圧を選択線64に印加する。例として、第1選択読取電圧は電源電圧 V_{DD} である。たとえば、約1ボルトないし約2ボルトの第1ビット読取電圧がビット線83、84に印加される。好ましくは、ビット線81、82に印加される第2ビット読取電圧は、ソース線52、54に印加されるソース読取電圧と実質的に等しい。かくして、ビット・セル410、420内を流れる電流は、ビット・セル430、440からデータを読み取るプロセスの間は実質的にゼロになる。制御線74に印加される制御読取電圧は、好ましくは、ソース線54に印加されるソース読取電圧と少なくとも同じ程度の高さである。選択線64に印加される第1選択読取電圧は、好ましくは、ソース線54に印加されるソース読取電圧よりも、少なくともビット・セル430、440の選択ゲート435、445それぞれの下のチャネル領域部分の閾値電圧分だけ高い。選択線61、62、63に印加される第2選択読取電圧は、好ましくは、第

16

1、第2または第3行のビット・セルの選択ゲート下のチャネル領域部分の閾値電圧とソース線52、54に印加されるソース読取電圧との和よりも低い。

【0040】ビット・セル430がプログラミングされると、制御ゲート436下の電荷トラップ・サイトが負に充電される。制御ゲート436下のチャネル領域部分は、電荷トラップ・サイトが実質的に電気的中性のとき、その固有閾値電圧よりも高い閾値電圧を有する。ビット・セル430が消去されると、制御ゲート436下の電荷トラップ・サイトは実質的に電気的中性か、あるいは正に充電される。制御ゲート436下のチャネル領域部分は、その固有閾値電圧と実質的に等しいか、それよりも低い閾値電圧を有する。好ましくは、制御線74に印加される制御読取電圧は、ビット・セル430がプログラミングされた場合は制御ゲート436下のチャネル領域部分の閾値電圧よりも低く、ビット・セル430が消去された場合は制御ゲート436下のチャネル領域部分の閾値電圧よりも高い。従って、プログラミングされたビット・セル430からデータを読み取る際は、ビット・セル430のチャネル領域は非導電性で、そこを流れる電流は、たとえば約2 μA 以下と小さい。ビット線83に結合される検知増幅器（図示せず）がこの小さい電流を検知し、ビット・セル430から第1論理値、たとえば論理1を読み取る。一方、消去されたビット・セル430からデータを読み取る際は、ビット・セル430のチャネル領域は導電性を持ち、そこを流れる電流は、たとえば約10 μA 以上と大きい。ビット線83に結合される検知増幅器（図示せず）はこの大電流を検知し、ビット・セル430から第2論理値、論理0を読み取る。

【0041】ビット・セル440がプログラミングされると、制御ゲート446下の電荷トラップ・サイトが負に充電される。制御ゲート446下のチャネル領域部分は、電荷トラップ・サイトが実質的に電気的中性のとき、その固有閾値電圧よりも高い閾値電圧を有する。ビット・セル440が消去されると、制御ゲート446下の電荷トラップ・サイトは実質的に電気的中性か、あるいは正に充電される。制御ゲート446下のチャネル領域部分は、その固有閾値電圧と実質的に等しいか、それよりも低い閾値電圧を有する。好ましくは、制御線74に印加される制御読取電圧は、ビット・セル440がプログラミングされた場合は制御ゲート446下のチャネル領域部分の閾値電圧よりも低く、ビット・セル440が消去された場合は制御ゲート446下のチャネル領域部分の閾値電圧よりも高い。従って、プログラミングされたビット・セル440からデータを読み取る際は、ビット・セル440のチャネル領域は非導電性で、そこを流れる電流は、たとえば約2 μA 以下と小さい。ビット線84に結合される検知増幅器（図示せず）がこの小さい電流を検知し、ビット・セル440から第1論理値、

(10)

17

たとえば論理1を読み取る。一方、消去されたビット・セル440からデータを読み取る際は、ビット・セル440のチャンネル領域は導電性を持ち、そこを流れる電流は、たとえば約 $10\mu\text{A}$ 以上と大きい。ビット線84に結合される検知増幅器(図示せず)はこの大電流を検知し、ビット・セル440から第2論理値、論理0を読み取る。

【0042】ビット・セル430, 440からデータを読み取るプロセスの間は、ソース432, 442は、ドレイン434, 444よりもそれぞれ低い電圧レベルにある。制御ゲート436, 446下のチャンネル領域部分両端の電圧降下は小さい。かくして、電荷キャリアがチャンネル領域から電荷トラップ・サイト内に誤って注入される確率は小さい。さらに、第1, 第2および第3行のビット・セル内の電荷トラップ・サイトからドレインを隔てるチャンネル領域は、選択線61, 62, 63に印加される第2選択読取電圧によりオフになる。このため、第1, 第2および第3行のビット・セルの読取プロセスに対する妨害は小さい。従って、本発明の読取プロセスは、従来技術による読取プロセスよりも読取外乱が小さい。さらに、NVM装置50のビット線は、対応するビット・セル内の選択ゲートによりビット・セル内の電荷トラップ・サイトから隔てられるので、寄生ビット線キャパシタの容量値は、電荷トラップ・サイトの電荷とは実質的に無関係である。言い換えると、寄生ビット線容量のデータ依存性がNVM装置50においては小さい。NVM装置50などの、ビット線容量のデータ依存性が小さいNVM装置は、高性能用途に適する。

【0043】以上、NVM装置とそのNVM装置にアクセスする方法とが提供されたことが理解頂けよう。本NVM装置は、スプリット・ゲートFETのアレイを備え、各FETはソース付近のチャンネル領域第1部分の上に存在する制御ゲートと、ドレイン付近のチャンネル領域第2部分の上に存在する選択ゲートとを有する。制御ゲートは選択ゲートに隣在する側壁スペーサとして形成することができ、それによりNVM装置のシリコン面積効率を高める。

【0044】NVM装置のFETをプログラミングする際は、第1極性の電荷キャリア、たとえば電子が、選択ゲートと制御ゲートとの間のチャンネル領域部分において加速され、その後、制御ゲートの下に存在する誘電性積層部内に位置する電荷トラップ・サイト内に注入される。選択ゲートは、プログラミング・プロセスの間、チャネ

18

ル領域を流れる電流を制御する。プログラミング・プロセスは、時間的効率と電力の効率とに関して最適化することができる。

【0045】NVM装置のFETは、第2極性の電荷キャリア、たとえば正孔をチャンネル領域から電荷トラップ・サイト内に注入することにより消去される。電荷キャリアは消去プロセスの間、誘電性積層部内の上部誘電層を貫通して移動しないので、厚い上部誘電層を用いてNVM装置のデータ保持率を高めることができる。

10 【0046】NVM装置のFETからデータを読み取る際は、選択ゲートに隣接するドレインに読取電圧を印加する。従って、データの読取外乱とFETの破壊とを最小限に抑えて、それによりさらにNVM装置のデータ保持と信頼性を改善する。また、FETのドレインに結合されるビット線を流れる電流を検知することによりFETからデータを読み取る。FETのドレインは選択ゲート下のチャンネル領域部分によって、電荷トラップ・サイトから分離される。かくして、ビット線容量のデータ依存性が最小限に抑えられ、NVM装置は高性能用途に適する。

20 【図面の簡単な説明】

【図1】本発明による不揮発性メモリ装置の断面図である。

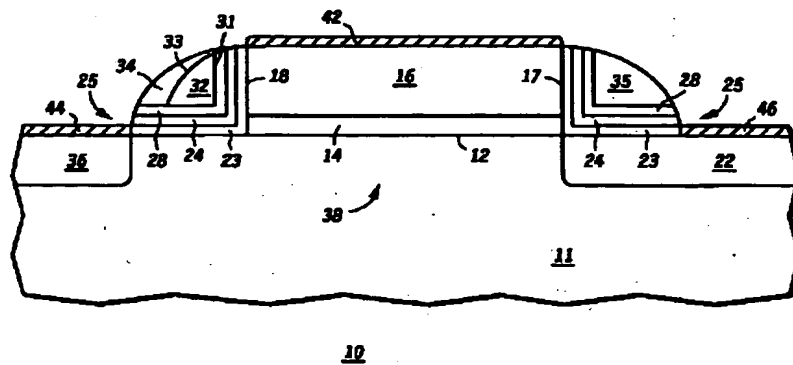
【図2】本発明による不揮発性メモリ装置の配線略図である。

【符号の説明】

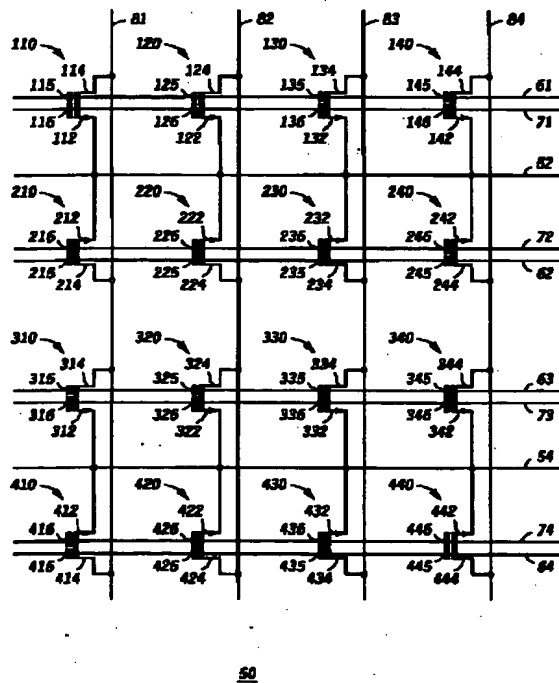
- 10 不揮発性メモリ装置
- 11 半導体基板
- 12 主表面
- 14 誘電層
- 30 16 選択ゲート
- 17, 18 選択ゲートの側壁
- 22 ドレイン領域
- 23, 28 二酸化シリコン層
- 24 窒化シリコン層
- 25 酸化物-窒化物-酸化物積層部
- 31, 33 制御ゲートの側壁
- 32 制御ゲート
- 34, 35 窒化物スペーサ
- 36 ソース領域
- 40 38 チャンネル領域
- 42, 44, 46 シリコン化合物構造

(11)

【図1】



【図2】



フロントページの続き

(72)発明者 ウェイミン・チャン
アメリカ合衆国テキサス州オースチン、ベ
イジル・ドライブ7712

(72)発明者 キース・フォーブス
アメリカ合衆国テキサス州オースチン、モ
ール・ドライブ1410

(72)発明者 ダグラス・アール・ロバーツ
アメリカ合衆国テキサス州オースチン、テ
イスデール・ドライブ7608

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074389

(43)Date of publication of application : 16.03.1999

(51)Int.Cl.

H01L 21/8247
H01L 29/788
H01L 29/792
G11C 16/04
H01L 27/115

(21)Application number : 10-185647

(71)Applicant : MOTOROLA INC

(22)Date of filing : 15.06.1998

(72)Inventor : KUO-TAN CHAN
CHANG KO-MIN
WAI-MIN CHAN
KEITH FORBES
DOUGLAS R ROBERTS

(30)Priority

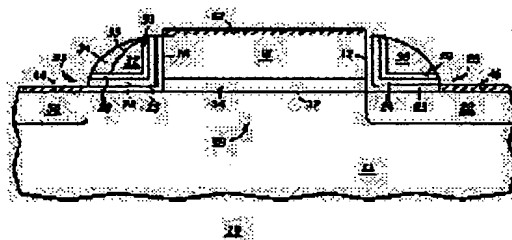
Priority number : 97 876576 Priority date : 16.06.1997 Priority country : US

(54) SPLIT GATE MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a nonvolatile memory device excellent in power efficiency and suitable for low power application, by a method wherein electric charges carriers generated from a source of a source area range over a channel area and accelerate, and are implanted into a dielectric layer located in a floating gate or under a control gate, and a selective gate controls a channel current.

SOLUTION: A nonvolatile memory(NVM) device comprises a control gate 32 on a first portion of a channel area near a source, and split gate field-effect transistors(FET) having a selection gate 16 on a second portion of a channel area 38 near a drain. When the NVM device is programmed, electric charges carriers of a first polarity accelerate in the second portion of the channel area 38 under the selection gate 16, and are implanted into a lower dielectric layer 14 of the control gate 32. When data are read from the NVM device, a read voltage is applied to a drain adjacent to the selection gate 16 a current of a bit line coupled to the drain of FET is detected, and data are read out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office